

[Previous Doc](#)[Next Doc](#)
[First Hit](#)[Go to Doc#](#)

L1: Entry 1 of 1

File: JPAB

Nov 11, 2004

PUB-NO: JP02004319725A

DOCUMENT-IDENTIFIER: JP 2004319725 A

TITLE: MAGNETIC RANDOM ACCESS MEMORY DEVICE

PUBN-DATE: November 11, 2004

INVENTOR-INFORMATION:

NAME

COUNTRY

ASHIDA, YUTAKA

ASSIGNEE-INFORMATION:

NAME

COUNTRY

FUJITSU LTD

APPL-NO: JP2003111058

APPL-DATE: April 16, 2003

INT-CL (IPC): H01 L 27/105; G11 C 11/15; H01 L 43/08

ABSTRACT:

PROBLEM TO BE SOLVED: To prevent the deterioration of a magneto-resistance effect property by reducing process damages to a magneto-resistive memory element in a magnetic random access memory device.

SOLUTION: The random access memory device has, on a semiconductor substrate, magneto-resistive memory elements 5, each of which is located in an intersection area of first word lines 4 and bit lines 3 which are located in directions crossing each other, and has such a structure that a first magnetic material layer 6 with a variable magnetization direction and a second magnetic material layer 8 with a fixed magnetization direction are stacked via a non-magnetic intermediate layer 7; and an access transistor 1 which uses a second word line 2 located in a direction which crosses the bit lines 3, as the gate. For an insulator for surrounding sides of the magneto-resistive memory elements 5, anti-water penetration film 10 which has an anti-water penetration performance superior to that of SiO₂ is used.

COPYRIGHT: (C) 2005, JPO&NCIPI

[Previous Doc](#)[Next Doc](#)[Go to Doc#](#)

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2004-319725

(P2004-319725A)

(43) 公開日 平成16年11月11日 (2004.11.11)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
H01L 27/105	H01L 27/10 447	5F083
G11C 11/15	G11C 11/15 110	
H01L 43/08	H01L 43/08 Z	

審査請求 未請求 請求項の数 5 O L (全 13 頁)

(21) 出願番号	特願2003-111058 (P2003-111058)	(71) 出願人	000005223
(22) 出願日	平成15年4月16日 (2003.4.16)		富士通株式会社
			神奈川県川崎市中原区上小田中4丁目1番1号
		(74) 代理人	100105337
			弁理士 眞鍋 源
		(74) 代理人	100072833
			弁理士 柏谷 昭司
		(74) 代理人	100075890
			弁理士 渡邊 弘一
		(74) 代理人	100110238
			弁理士 伊藤 壽郎
		(72) 発明者	戸田 裕
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

最終頁に続く

(54) 【発明の名称】 磁気ランダムアクセスメモリ装置

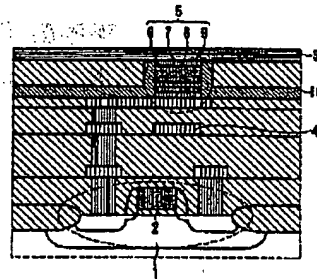
(57) 【要約】

【課題】 磁気ランダムアクセスメモリ装置に関し、磁気抵抗記憶素子のプロセスダメージを低減して、磁気抵抗効果特性の劣化を防止する。

【解決手段】 半導体基板上に、互いに交差する方向に配置された第1のワード線4とビット線3との交差領域にそれぞれ配置され、磁化方向が可変な第1の磁性体層6と磁性体方向が固定された第2の磁性体層8とが非磁性中間層7を介して積層された磁気抵抗記憶素子5と、ビット線3に交差する方向に配置された第2のワード線2をゲートとするアクセストランジスタ1とを備えた磁気ランダムアクセスメモリ装置の磁気抵抗記憶素子5の側部を囲む絶縁体としてSiO₂より水透過防止性能に優れた水透過防止膜10を用いる。

【選択図】 図1

本発明の磁気抵抗記憶素子の説明図



- | | |
|---------------|------------|
| 1: アクセストランジスタ | 6: 第1の磁性体層 |
| 2: 第2のワード線 | 7: 非磁性中間層 |
| 3: ビット線 | 8: 第2の磁性体層 |
| 4: 第1のワード線 | 9: 上部電極 |
| 5: 磁気抵抗記憶素子 | 10: 水透過防止膜 |

【特許請求の範囲】

【請求項1】

半導体基板上に、互いに交差する方向に配置された第1のワード線とビット線との交差領域にそれぞれ配置され、磁化方向が可変な第1の磁性体層と磁化方向が固定された第2の磁性体層とが非磁性中間層を介して積層された磁気抵抗記憶素子と、前記ビット線に交差する方向に配置された第2のワード線をゲートとするアクセストランジスタとを備えた磁気ランダムアクセスメモリ装置において、前記磁気抵抗記憶素子の側部を囲む絶縁体として SiO_2 より水透過防止性能に優れた水透過防止膜を用いたことを特徴とする磁気ランダムアクセスメモリ装置。

【請求項2】

上記水透過防止膜として、 Al_2O_3 、 SiN 、或いは、 SiON のいずれかを用いたことを特徴とする請求項1記載の磁気ランダムアクセスメモリ装置。

【請求項3】

上記磁気抵抗記憶素子を構成する上部電極を、その酸化物も導電性を有する金属で構成することを特徴とする請求項1または2に記載の磁気ランダムアクセスメモリ装置。

【請求項4】

上記磁気抵抗記憶素子の側部を、上記水透過防止膜を介して平坦化絶縁膜で埋め込んだことを特徴とする請求項1乃至3のいずれか1項に記載の磁気ランダムアクセスメモリ装置。

【請求項5】

上記ビット線を、上記上部電極を覆う SiO_2 より水透過防止性能に優れた絶縁膜に設けた開口を介して前記上部電極と電気的に接続したことを特徴とする請求項1乃至4のいずれか1項に記載の磁気ランダムアクセスメモリ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は磁気ランダムアクセスメモリ装置に関するものであり、特に、書込用ワード線を有する磁気ランダムアクセスメモリ装置(MRAM: magnetic random access memory)における特性劣化を防止するための層間絶縁膜の構成に特徴のある磁気ランダムアクセスメモリ装置に関するものである。

【0002】

【従来の技術】

MRAMは、磁性構造に電流を流して、磁性体における電子のスピンの方角によって抵抗値が変化することを利用したメモリデバイスであり、メモリセルを構成する磁性構造としてはGMR(Giant Magneto resistive)素子或いはTMR(Tunneling Magneto Resistive)素子が検討されている(例えば、特許文献1或いは特許文献2参照)。

【0003】

この様なMRAMには大きな抵抗変化が要求されているため、研究開発には主にTMR素子構造が用いられているので、ここで、図8を参照して従来のMRAMの一例を説明する。

図8参照

図8は従来のMRAMの概略的要部断面図であり、まず、 n 型シリコン基板11の所定領域に p 型ウェル領域12を形成するとともに、 n 型シリコン基板11を選択酸化することによって素子分離酸化膜13を形成したのち、素子形成領域にゲート絶縁膜14を介して読み出しワード線となるWSIからなるゲート電極15を形成し、このゲート電極15をマスクとしてAs等のイオンを注入することによって n^- 型LDD(Lightly Doped Drain)領域16を形成する。

【0004】

次いで、全面に SiO_2 膜等を堆積させ、異方性エッチングを施すことによってサイド

10

20

30

40

50

ウォール17を形成したのち、再び、As等をイオン注入することによって n^+ 型ドレイン領域18及び n^+ 型ソース領域19を形成し、次いで、TEOS (Tetra-Ethyl-Ortho-Silicate) -NSG膜等の厚い SiO_2 膜等からなる第1層間絶縁膜20を形成したのち、 n^+ 型ドレイン領域18及び n^+ 型ソース領域19に達するコンタクトホールを形成し、このコンタクトホールをWで埋め込むことによってWプラグ21、22を形成する。

【0005】

次いで、全面にTi/TiN/Al/Ti/TiNを堆積させたのちパターニングすることによって、接続導体23及びソース配線層24を形成したのち、再び、TEOS-NSG膜等の厚い SiO_2 膜等からなる第2層間絶縁膜25を形成し、次いで、接続導体23に達するコンタクトホールを形成し、このコンタクトホールをWで埋め込むことによってWプラグ26を形成する。

10

なお、通常は、ソース配線層24はGNDラインに接続される。

【0006】

次いで、再び、全面にTi/TiN/Al/Ti/TiNを堆積させたのちパターニングすることによって、接続導体27と書き込み用ワード線28を形成したのち、再び、TEOS-NSG膜等の薄い SiO_2 膜等からなる第3層間絶縁膜29を形成し、次いで、接続導体27に達するコンタクトホールを形成し、このコンタクトホールをTi/TiNを介してWで埋め込むことによってWプラグ30を形成する。

20

【0007】

次いで、再び、全面にAlを堆積させたのちパターニングすることによって、下部電極31を形成したのち、再び、TEOS-NSG膜等の薄い SiO_2 膜等からなる第4層間絶縁膜32を堆積させ、次いで、下部電極31が露出するまでCMP (化学機械研磨) して平坦化する。

【0008】

次いで、全面にTa下地層33、NiFeフリー層34、 Al_2O_3 からなるトンネル絶縁層35、CoFeピンド層36、IrMnピン層37、Taキャップ層51を順次堆積させたのち、イオンミリングを施すことによって例えば、 $0.15\mu m \times 0.1\mu m$ の大きさのTMR素子52を形成する。

この場合、TMR素子52をビット線方向に長い長方形をしているため、NiFeフリー層34のスピンの方向はビット線54の延在方向に向くのが容易になる。

30

【0009】

次いで、再び、TEOS-NSG膜等の薄い SiO_2 膜等からなる第5層間絶縁膜53を堆積させたのち、Taキャップ層51が露出するまでCMP (化学機械研磨) して平坦化する。

【0010】

次いで、全面に、Ti/TiN/Al/Ti/TiN構造の多層導電層を堆積させたのち、書き込み用ワード線28と直交する方向に延在するようにパターニングしてビット線54を形成することによって、MRAMの基本構造が完成する。

【0011】

この場合、TMR素子52への書き込みは、ビット線54と書き込み用ワード線28とに電流を流し、発生する磁界がNiFeフリー層34のスピンの方向を決定することにより行なわれ、CoFeピンド層36と同方向、または逆方向によって“1”または“0”のデータが書き込まれる。

40

【0012】

一方、TMR素子52からの読み出しは、NiFeフリー層34とCoFeピンド層36の間に電圧を印加し、かつ読み出しワード線であるゲート電極15に電圧をかけてアクセストランジスタをオンし、流れ込む電流を読み取ることにより行なわれる。

【0013】

NiFeフリー層34のスピンの向きがCoFeピンド層36のスピンの向きと同方向で

50

ある場合には低抵抗となり、逆方向である場合には高抵抗、例えば、低抵抗時の10～100%増加となるので、電流の大小を判定することで1ビットの記録を読み出すことができる。

【0014】

この様なMRAMにおいて、TMR素子における抵抗変化が大きい方が、データ保持信頼性が向上するが、この抵抗変化はフリー層及びピン層を構成するNiFe、CoFe、CoFeB、Co、Fe、Ni等の磁性材料とトンネル絶縁層を構成するAl₂O₃、AlO_x、或いは、HfO_xとの組み合わせ、及び、薄膜構造に依存するため、成膜プロセス及び配線プロセスによるプロセスダメージの低減が要求される。

【0015】

【特許文献1】

特開2003-031776号公報

【特許文献2】

特開2002-299584号公報

【0016】

【発明が解決しようとする課題】

しかし、上述の磁性材料は、金属材料であり、酸化雰囲気中では酸化されやすく、抵抗増加、ひいてはスピン電子減少、消失、抵抗変化特性の劣化の原因となる。

【0017】

特に、TMR素子52は平坦化機能を有する第5層間絶縁膜53のみに覆われることになり、この第5層間絶縁膜53は一般にはTEOS-NSG膜、即ち、O₃-TEOS-SiO₂膜、或いは、SOG(Spin on Glass)-SiO₂膜で構成されることになるが、このような有機シランを用いたSiO₂膜は、吸湿性が高く、製造工程の加熱プロセスにて大量のガス(主に、H₂O)を放出することが知られている(必要ならば、1993VIMC, p. 287-289, 1993参照)。

【0018】

このような状況では、TMR素子52を構成する磁性体は酸化されて特性が劣化してしまうことは容易に推測でき、特に、高集積になる程、素子サイズは微細化するため、この対策は特性バラツキ抑制の重要な項目となる。

なお、この事情は、磁気抵抗記憶素子として、TMR素子52の代わりにGMR素子を用いた場合も同様である。

【0019】

したがって、本発明は、磁気抵抗記憶素子のプロセスダメージを低減して、磁気抵抗効果特性の劣化を防止することを目的とする。

【0020】

【課題を解決するための手段】

図1は本発明の原理的構成図であり、この図1を参照して本発明における課題を解決するための手段を説明する。

図1参照

上記目的を達成するため、本発明は、磁気ランダムアクセスメモリ装置において、半導体基板上に、互いに交差する方向に配置された第1のワード線4とビット線3との交差領域にそれぞれ配置され、磁化方向が可変な第1の磁性体層6と磁化方向が固定された第2の磁性体層8とが非磁性中間層7を介して積層された磁気抵抗記憶素子5と、ビット線3に交差する方向に配置された第2のワード線2をゲートとするアクセストランジスタ1とを備えた磁気ランダムアクセスメモリ装置において、磁気抵抗記憶素子5の側部を囲む絶縁体としてSiO₂より水透過防止性能に優れた水透過防止膜10を用いたことを特徴とする。

【0021】

この様に、磁気抵抗記憶素子5の側部を水透過防止膜10で覆っているため、磁気抵抗記憶素子5を構成する第1の磁性体層6及び第2の磁性体層8のプロセス中及びプロセス後

10

20

30

40

50

の酸化が抑制されるため、電気特性の安定性及び信頼性を向上することができる。

【0022】

この場合の水透過防止膜10として、 SiO_2 より水透過防止性能に優れる Al_2O_3 、プラズマ SiN 等の SiN 、或いは、プラズマ SiON 等の SiON のいずれかが好適である。

【0023】

なお、磁気抵抗記憶素子5としては、非磁性中間層7が非磁性導電層である巨大磁気抵抗効果素子(GMR素子)でも良いが、非磁性中間層7がトンネル絶縁層であるトンネル磁気抵抗効果素子(TMR素子)が望ましく、それによって、抵抗変化率をより大きくすることができる。

10

【0024】

また、磁気抵抗記憶素子5を構成する上部電極9を、その酸化物も導電性を有する金属、例えば、RuまたはIrのいずれかで構成することが望ましく、それによって、プロセス中及びプロセス後に進入する O_2 、或いは H_2O は上部電極9の犠牲酸化によってくい止められ、且つ、上部電極9の酸化部も良好な導電性を有しているので電気的特性が劣化することがない。

【0025】

この場合、磁気抵抗記憶素子5の側部を、水透過防止膜10を介して平坦化絶縁膜で埋め込むことが望ましく、それによって、平坦化が容易になる。

【0026】

また、ビット線3は、平坦化絶縁膜上に直接設けても良いが、上部電極9を覆う SiO_2 より水透過防止性能に優れた絶縁膜に設けた開口を介して上部電極9と電気的に接続するように設けることが望ましく、それによって、磁気抵抗記憶素子5の上部も水透過防止性能に優れた絶縁膜で覆われるので、水透過防止効果をさらに高めることができる。

20

【0027】

上述の磁気ランダムアクセスメモリ装置を製造する際には、磁気抵抗記憶素子5を覆うように SiO_2 より水透過防止性能に優れた水透過防止膜10を設けたのち、平坦化絶縁膜を設け、次いで、平坦化絶縁膜及び水透過防止膜10を磁気抵抗記憶素子5の最上層を構成する上部電極9の少なくとも上層部を除去するまで除去して平坦化することが望ましく、それによって、プロセス中に酸化した上部電極9の酸化部を除去することができるので、素子抵抗の増大をより防止することができる。

30

【0028】

【発明の実施の形態】

ここで、図2乃至図6を参照して、本発明の実施の形態のMRAMの製造工程を説明する。

図2(a)参照

まず、n型シリコン基板11の所定領域にp型ウエル領域12を形成するとともに、n型シリコン基板11を選択酸化することによって素子分離酸化膜13を形成したのち、素子形成領域にゲート絶縁膜14を介して読み出しワード線となるWS1からなるゲート電極15を形成し、このゲート電極15をマスクとしてAsイオンを注入することによってn型LDD領域16を形成する。

40

【0029】

次いで、全面に SiO_2 膜を堆積させ、異方性エッチングを施すことによってサイドウォール17を形成したのち、再び、Asイオン注入することによって n^+ 型ドレイン領域18及び n^+ 型ソース領域19を形成し、次いで、 O_3 -TEOS- SiO_2 膜からなる厚い第1層間絶縁膜20を形成したのち、 n^+ 型ドレイン領域18及び n^+ 型ソース領域19に達するコンタクトホールを形成し、このコンタクトホールをWで埋め込むことによってWプラグ21、22を形成する。

なお、 O_3 -TEOS- SiO_2 膜の堆積に際しては、TEOS+ O_3 をソースガスとして用いたCVD法により、400℃で堆積させるものであり、以下の工程において

50

も同様である。

【0030】

図2(b)参照

次いで、スパッタ法を用いて全面にTiN/Al/TiNを堆積させたのちパターニングすることによって、接続導体23及びソース配線層24を形成したのち、再び、 O_3 -TEOS-SiO₂膜からなる第2層間絶縁膜25を形成し、次いで、接続導体23に達するコンタクトホールを形成し、このコンタクトホールをWで埋め込むことによってWプラグ26を形成する。

なお、通常は、ソース配線層24はGNDラインに接続される。

【0031】

図3(c)参照

次いで、再び、スパッタ法を用いて全面にTiN/Al/TiNを堆積させたのちパターニングすることによって、接続導体27と書き込み用ワード線28を形成したのち、再び、 O_3 -TEOS-SiO₂膜からなる第3層間絶縁膜29を形成し、次いで、接続導体27に達するコンタクトホールを形成し、このコンタクトホールをTi/TiNを介してWで埋め込むことによってWプラグ30を形成する。

【0032】

図3(d)参照

次いで、再び、スパッタ法を用いて全面にTiN/Al/TiNを堆積させたのちパターニングすることによって、下部電極31を形成したのち、再び、 O_3 -TEOS-SiO₂膜からなる薄い第4層間絶縁膜32を堆積させ、次いで、下部電極31が露出するまでCMPして平坦化する。

【0033】

図4(e)参照

次いで、スパッタ法を用いることによって、全面に厚さが、例えば、20nmのTa下地層33、10nmのNiFeフリー層34、1nmのAl₂O₃からなるトンネル絶縁層35、10nmのCoFeピンド層36、及び、30nmのIrMnピン層37、及び、上部電極となる厚さが、例えば、100nmのRuキャップ層38を順次真空中で堆積させる。

【0034】

図4(f)参照

次いで、イオンミリングを施すことによって例えば、0.2μm×0.13μmの大きさのTMR素子39を形成する。

この場合、TMR素子39をビット線方向に長い長方形をしているため、NiFeフリー層34のスピンの方向はビット線の延在方向に向くのが容易になる。

【0035】

図5(g)参照

次いで、再び、スパッタ法を用いて厚さが、例えば、100nmのAl₂O₃防水膜40でTMR素子39を覆ったのち、再び、全面に O_3 -TEOS-SiO₂膜からなる第5層間絶縁膜41をTMR素子39上の厚さが例えば、400nmになるように堆積させる。

なお、この時のスパッタ工程における条件は、Arガスを20sccm流した状態で、Al₂O₃ターゲットに2kwの電力を印加して行うものであり、得られたAl₂O₃防水膜40の屈折率は1.62~1.66、例えば、1.64であり、また、膜密度は3.0~3.2g/cm³、例えば、3.1g/cm³である。

【0036】

図5(h)参照

次いで、CMP法を用いて、Ruキャップ層38の表面を例えば、50nm除去するまで研磨して、全体を平坦化する。

この時、プロセス中で酸化されたRuキャップ層38の表面は除去されるが、RuO₂

10

20

30

40

50

等の酸化物が残存していても、 RuO_2 は良好な導電性を有しているので問題はない。

【0037】

次いで、プラズマCVD法を用いて厚さが、例えば、100nmのp-SiN膜42を堆積させたのち、TMR素子39に対するコンタクトホールを設け、次いで、スパッタ法を用いて全面に、厚さが、例えば、100nmのTiN層、厚さが、例えば、800nmのAl層、及び、厚さが、例えば、100nmのTiN層を順次堆積させてTiN/Al/TiN構造の多層導電層を堆積させたのち、書き込み用ワード線28と直交する方向に延在するようにパターニングしてビット線43を形成することによって、MRAMの基本構造が完成する。

【0038】

図7参照

図7は、 Al_2O_3 の水透過防止性能の説明図であり、従来のTEOS-NSG膜単独の場合に、300℃程度で大量の H_2O が放出されるが、TEOS-NSG膜を Al_2O_3 で覆った場合には600℃以下では殆ど H_2O は放出されることが理解される。

【0039】

以上説明したように、本発明の実施の形態のプロセス、デバイス構造においては、TMR素子39の上部にRuキャップ層38を設けているので、 O_2 或いは H_2O がプロセス中に進入しようとしても、Ruの犠牲酸化により、TMR素子39内部への酸素の侵入を防止され、また、 RuO_2 は良好な導電性を有しているので電気伝導性を維持することができる。

【0040】

また、TMR素子39の側壁は Al_2O_3 防水膜40で覆われているため、TMR素子39の側部からの酸化反応は、プロセス中及び、プロセス後も抑制されるため、電気特性の安定性、信頼性向上に大きく寄与する。

【0041】

さらに、TMR素子39の上部も水透過防止性能に優れるp-SiN膜42で覆われているので、プロセス後のTMR素子39の上部からの酸化反応が抑制されるため、電気特性の安定性、信頼性向上に大きく寄与する。

【0042】

以上、本発明の各実施の形態を説明したが、本発明は各実施の形態に記載した構成及び条件に限られるものではなく、各種の変更が可能である。

例えば、上記の各実施の形態において、水透過防止絶縁膜としてスパッタ Al_2O_3 膜を使用しているが、TMR素子にダメージを与えない300℃以下の低温で形成可能で、水透過防止性能に優れるSiN膜或いはSiON膜、特に、プラズマCVDによるp-SiN膜或いは、p-SiON膜を用いても良いものである（必要ならば、上述の1993VIMC, p. 287-289, 1993参照）。

【0043】

また、上記の実施の形態においては、CMPにより第5層間絶縁膜の平坦化を行なっているが、CMPに限られるものではなく、 Cl_2 或いは CCl_4 等の塩素系ガス、または、 CF_4 或いは F_2 等のフッ素系ガスを用いたエッチバックによる平坦化を行なっても良いものである。

この時、上部電極を構成するRuキャップ層38或いはその酸化物である RuO_2 は、これらのエッチングガスに対して不活性であるため、エッチングストッパー膜としても機能する。

【0044】

また、上記の実施の形態においては、上部電極としてRuを用いているが、Ruに限られるものではなく、Ruと同様にその酸化物も良好な導電性を有する金属であれば良く、例えば、Irを用いても良いものである。

【0045】

10

20

30

40

50

また、上記の実施の形態においては、ビット線43をスパッターA1で構成しているが、A1に限られるものではなく、ダマシン方法によるCu配線を使用しても良いものである。

【0046】

また、上記の実施の形態においては、磁気抵抗記憶素子をトンネル絶縁層を用いたTMR素子としているが、TMR素子に限られるものではなく、Alを一部酸化して局所的な電流通路が形成されるGMR素子としても良いものであり、さらには、 Al_2O_3 膜の代わりにCu等の非磁性導電層を用いて通常のGMR素子としても良いものである。

【0047】

また、上記の実施の形態においては、反強磁性ピン層としてIrMnを用いているが、IrMnに限られるものではなく、FeMn或いはPdPtMn等の他の反強磁性体を用いても良いものである。

なお、PdPtMnを用いた場合には、PdPtMnの成膜後に、磁場を印加した状態でアニール処理を行うことによって、PdPtMnピン層の磁化方向を固定する必要がある。

【0048】

また、上記の実施の形態におけるフリー層及びピンド層は単なる一例に過ぎず、フリー層、或いは、ピンド層をNiFe/CoFe或いはCoFe/Ru/CoFe等の多層構造で構成しても良いものである。

【0049】

また、上記の実施の形態においては、磁気抵抗記憶素子をフリー層から積層するタイプの多層膜で構成しているが、反強磁性ピン層から積層するタイプの多層膜で構成しても良いものである。

【0050】

また、上記の実施の形態においては、成膜プロセスにおける温度条件から、書き込み用ワード線28を磁気抵抗記憶素子の下側に配置しているが、低温プロセスで層間絶縁膜の形成、導電層の形成を行うのであれば、磁気抵抗記憶素子の上面に配置しても良いものである。

【0051】

また、上記の実施の形態においては、ビット線43をp-SiN膜42を介して堆積させているが、図1に示した原理的構成と同様に、第5層間絶縁膜41上に直接堆積させるようにしても良いものである。

【0052】

また、上記の実施の形態においては、各層間絶縁膜を O_3 -TEOS-SiO₂膜で構成しているが、SOG-SiO₂膜或いはBPSG膜等の他の平坦化容易膜で構成しても良いものである。

【0053】

また、上記の実施の形態においては、TMR素子をパターニングする際に、イオンミリング法を用いているが、反応性イオンエッチング(RIE)を用いても良いものである。

【0054】

ここで、再び図1を参照して、改めて本発明の詳細な特徴を説明する。

再び、図1参照

(付記1) 半導体基板上に、互いに交差する方向に配置された第1のワード線4とビット線3との交差領域にそれぞれ配置され、磁化方向が可変な第1の磁性体層6と磁化方向が固定された第2の磁性体層8とが非磁性中間層7を介して積層された磁気抵抗記憶素子5と、前記ビット線3に交差する方向に配置された第2のワード線2をゲートとするアクセストランジスタ1とを備えた磁気ランダムアクセスメモリ装置において、前記磁気抵抗記憶素子5の側部を囲む絶縁体としてSiO₂より水透過防止性能に優れた水透過防止膜10を用いたことを特徴とする磁気ランダムアクセスメモリ装置。

(付記2) 上記水透過防止膜10として、 Al_2O_3 、SiN、或いは、SiON

のいずれかを用いたことを特徴とする付記 1 記載の磁気ランダムアクセスメモリ装置。

(付記 3) 上記磁気抵抗記憶素子 5 が、上記非磁性中間層 7 がトンネル絶縁層であるトンネル磁気抵抗効果素子であることを特徴とする付記 1 または 2 に記載の磁気ランダムアクセスメモリ装置。

(付記 4) 上記磁気抵抗記憶素子 5 を構成する上部電極 9 を、その酸化物も導電性を有する金属で構成することを特徴とする付記 1 乃至 3 のいずれか 1 項に記載の磁気ランダムアクセスメモリ装置。

(付記 5) 上記金属が、Ru または Ir のいずれかであることを特徴とする付記 1 乃至 4 のいずれか 1 に記載の磁気ランダムアクセスメモリ装置。

(付記 6) 上記磁気抵抗記憶素子 5 の側部を、上記水透過防止膜 10 を介して平坦化絶縁膜で埋め込んだことを特徴とする付記 1 乃至 5 のいずれか 1 に記載の磁気ランダムアクセスメモリ装置。 10

(付記 7) 上記ビット線 3 を、上記上部電極 9 を覆う SiO_2 より水透過防止性能に優れた絶縁膜に設けた開口を介して前記上部電極 9 と電気的に接続したことを特徴とする付記 1 乃至 6 のいずれか 1 に記載の磁気ランダムアクセスメモリ装置。

(付記 8) 半導体基板上に、互いに交差する方向に配置された第 1 のワード線 4 とビット線 3 との交差領域にそれぞれ配置され、磁化方向が可変な第 1 の磁性体層 6 と磁化方向が固定された第 2 の磁性体層 8 とが非磁性中間層 7 を介して積層された磁気抵抗記憶素子 5 と、前記ビット線 3 に交差する方向に配置された第 2 のワード線 2 をゲートとするアクセストランジスタ 1 とを備えた磁気ランダムアクセスメモリ装置の製造方法において、前記磁気抵抗記憶素子 5 を覆うように SiO_2 より水透過防止性能に優れた水透過防止膜 10 を設けたのち、平坦化絶縁膜を設ける工程、前記平坦化絶縁膜及び水透過防止膜 10 を前記磁気抵抗記憶素子 5 の最上層を構成する上部電極 9 の少なくとも上層部を除去するまで除去して平坦化する工程を有することを特徴とする磁気ランダムアクセスメモリ装置の製造方法。 20

【0.055】

【発明の効果】

本発明によれば、磁気抵抗記憶素子の上部に Ru 等の酸化物も導電性を有する金属を設けるとともに、側壁に Al_2O_3 等の水透過防止絶縁膜を設けているため、磁気抵抗記憶素子を構成する磁性体層の酸化は、プロセス中及び、プロセス後も抑制され、それによって、電気特性の安定性、信頼性は大きく向上し、ひいては、高集積度 MRAM の実用化に寄与するところが多い。 30

【図面の簡単な説明】

【図 1】本発明の原理的構成の説明図である。

【図 2】本発明の実施の形態の MRAM の途中までの製造工程の説明図である。

【図 3】本発明の実施の形態の MRAM の図 2 以降の途中までの製造工程の説明図である。

【図 4】本発明の実施の形態の MRAM の図 3 以降の途中までの製造工程の説明図である。

【図 5】本発明の実施の形態の MRAM の図 4 以降の途中までの製造工程の説明図である。 40

【図 6】本発明の実施の形態の MRAM の図 5 以降の製造工程の説明図である。

【図 7】 Al_2O_3 の水透過防止性能の説明図である。

【図 8】従来の MRAM の概略的要部断面図である。

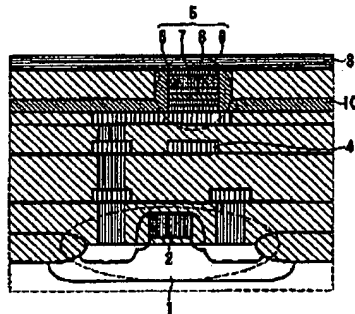
【符号の説明】

- 1 アクセストランジスタ
- 2 第 2 のワード線
- 3 ビット線
- 4 第 1 のワード線
- 5 磁気抵抗記憶素子

6	第1の磁性体層	
7	非磁性中間層	
8	第2の磁性体層	
9	上部電極	
10	水透過防止層	
11	n型シリコン基板	
12	p型ウエル領域	
13	素子分離酸化膜	
14	ゲート絶縁膜	
15	ゲート電極	10
16	n ⁻ 型LDD領域	
17	サイドウォール	
18	n ⁺ 型ドレイン領域	
19	n ⁺ 型ソース領域	
20	第1層間絶縁膜	
21	Wプラグ	
22	Wプラグ	
23	接続導体	
24	ソース配線層	
25	第2層間絶縁膜	20
26	Wプラグ	
27	接続導体	
28	書き込み用ワード線	
29	第3層間絶縁膜	
30	Wプラグ	
31	下部電極	
32	第4層間絶縁膜	
33	Ta下地層	
34	NiFeフリー層	
35	トンネル絶縁層	30
36	CoFeピンド層	
37	IrMnピン層	
38	Ruキャップ層	
39	TMR素子	
40	Al ₂ O ₃ 防水膜	
41	第5層間絶縁膜	
42	p-SiN保護膜	
43	ビット線	
51	Taキャップ層	
52	TMR素子	40
53	第5層間絶縁膜	
54	ビット線	

【図 1】

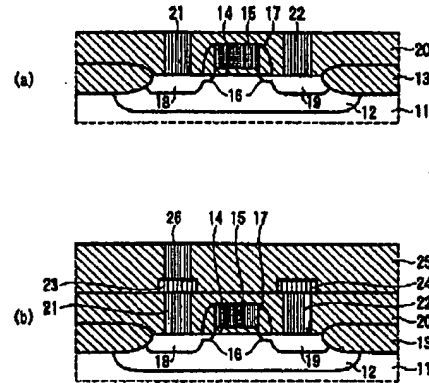
本発明の原理的構成の説明図



- | | |
|---------------|------------|
| 1: アクセストランジスタ | 6: 第1の磁気層 |
| 2: 第2のワード線 | 7: 非磁性中間層 |
| 3: ビット線 | 8: 第3の磁気層 |
| 4: 第1のワード線 | 9: 上部電極 |
| 5: 磁気抵抗配電端子 | 10: 水透過防止層 |

【図 2】

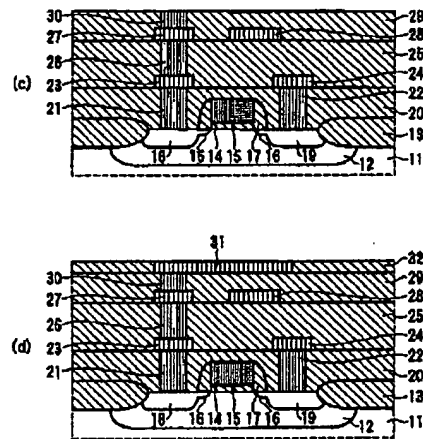
本発明の実施の形態のMRAMの途中までの製造工程の説明図



- | | |
|---------------|--------------|
| 11: n型シリコン基板 | 19: n+型ソース領域 |
| 12: p型ウエル領域 | 20: 第1層間絶縁膜 |
| 13: 素子分離酸化膜 | 21: Wプラグ |
| 14: ゲート絶縁膜 | 22: Wプラグ |
| 15: ゲート電極 | 23: 接触導体 |
| 16: n+型LDD領域 | 24: ソース配線層 |
| 17: サイドウォール | 25: 第2層間絶縁膜 |
| 18: n+型ドレイン領域 | 26: Wプラグ |

【図 3】

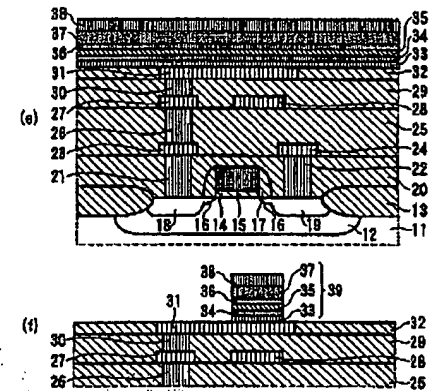
本発明の実施の形態のMRAMの図2以降の途中までの製造工程の説明図



- | | | |
|---------------|--------------|--------------|
| 11: n型シリコン基板 | 19: n+型ソース領域 | 27: 接触導体 |
| 12: p型ウエル領域 | 20: 第1層間絶縁膜 | 28: 書込み用ワード線 |
| 13: 素子分離酸化膜 | 21: Wプラグ | 29: 第3層間絶縁膜 |
| 14: ゲート絶縁膜 | 22: Wプラグ | 30: Wプラグ |
| 15: ゲート電極 | 23: 接触導体 | 31: 下部電極 |
| 16: n+型LDD領域 | 24: ソース配線層 | 32: 第4層間絶縁膜 |
| 17: サイドウォール | 25: 第2層間絶縁膜 | |
| 18: n+型ドレイン領域 | 26: Wプラグ | |

【図 4】

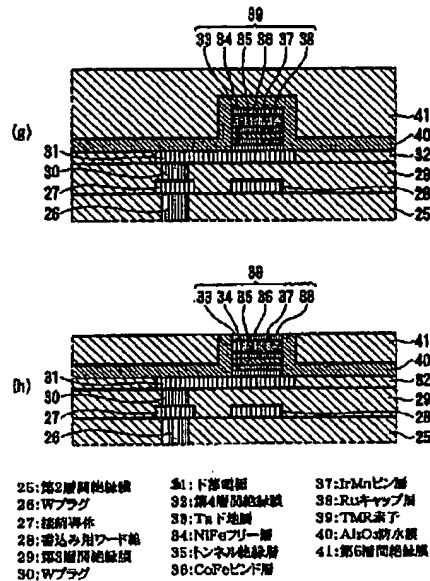
本発明の実施の形態のMRAMの図3以降の途中までの製造工程の説明図



- | | | |
|---------------|--------------|--------------|
| 11: n型シリコン基板 | 31: Wプラグ | 31: 下部電極 |
| 12: p型ウエル領域 | 32: Wプラグ | 32: 第4層間絶縁膜 |
| 13: 素子分離酸化膜 | 33: 接触導体 | 33: Ta下地層 |
| 14: ゲート絶縁膜 | 34: ソース配線層 | 34: NiFeフリー層 |
| 15: ゲート電極 | 35: 第2層間絶縁膜 | 35: トンネル絶縁膜 |
| 16: n+型LDD領域 | 36: Wプラグ | 36: CoFeピンド層 |
| 17: サイドウォール | 37: 接触導体 | 37: FeMnピンド層 |
| 18: n+型ドレイン領域 | 38: 書込み用ワード線 | 38: Ruキャップ層 |
| 19: n+型ソース領域 | 39: 第3層間絶縁膜 | 39: TMR素子 |
| 20: 第1層間絶縁膜 | 30: Wプラグ | |

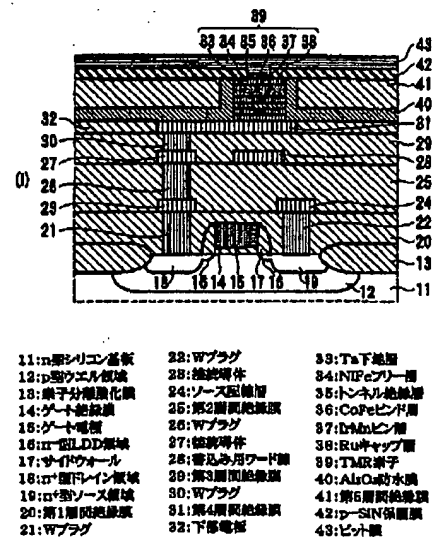
【図 5】

本発明の実施の形態のMRAMの図4以降の途中までの製造工程の説明図



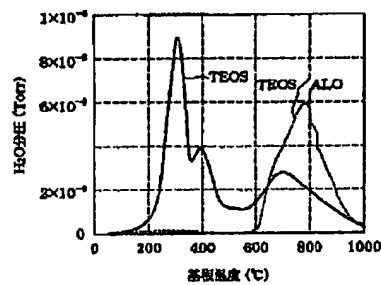
【図 6】

本発明の実施の形態のMRAMの図5以降の製造工程の説明図



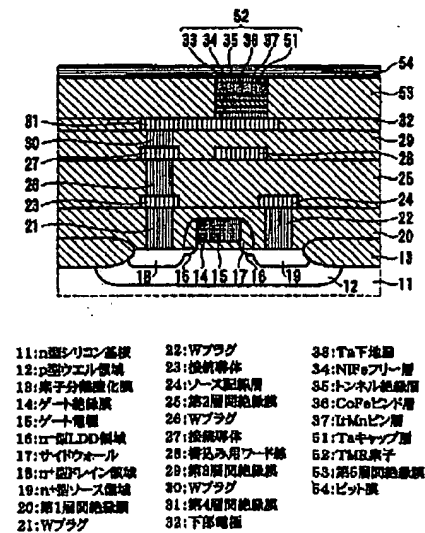
【図 7】

Al₂O₃の水透過防止性能の説明図



【図 8】

従来のMRAMの概略的断面図



フロントページの続き

Fターム(参考) 5F083 FZ10 GA21 GA25 JA35 JA38 JA37 JA38 JA39 JA40 JA43
JA53 JA56 MA06 MA16 MA19 NA08 PR04 PR22 PR39 PR40

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include, but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.